

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-275151

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
H 0 4 L 12/56			7/10	
H 0 4 N 7/10		9466-5K	H 0 4 L 11/20	1 0 2 F

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21) 出願番号	特願平7-71132	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成7年(1995)3月29日	(72) 発明者	藤井 由紀夫 神奈川県横浜市戸塚区吉田町292番地株式 会社日立製作所マルチメディアシステム開 発本部内
		(72) 発明者	奥 万寿男 神奈川県横浜市戸塚区吉田町292番地株式 会社日立製作所マルチメディアシステム開 発本部内
		(74) 代理人	弁理士 小川 勝男

(54) 【発明の名称】 多重化圧縮画像音声データの分配復号装置

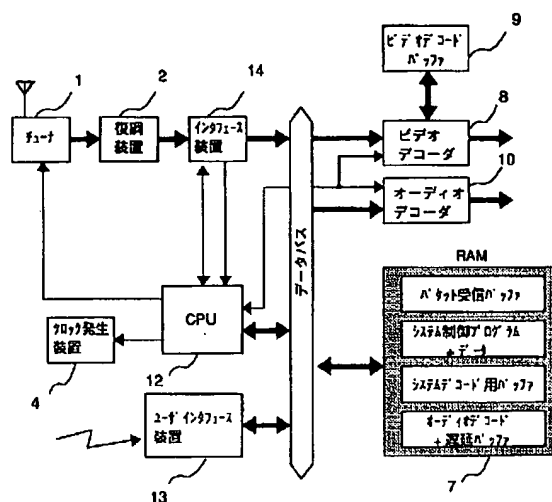
(57) 【要約】

【目的】 複数のプログラムが多重化されたTSパケットから安価にデコーダへのデータ分配を実現する。

【構成】 パケット受信バッファを、CPUがシステム制御のために用いるRAM内部に設ける。

【効果】 RAM内部に設けることにより部品点数の増大あるいは部品価格上昇を招くことなくデコーダへのデータ分配を実現可能。

図1



【特許請求の範囲】

【請求項1】圧縮符号化によって情報量を削減された画像データと該画像データに付随する音声データの組がパケット化され、複数組が多重化されたパケット群を入力し、一組の画像信号および音声信号を出力する装置であって、該圧縮符号化された画像データを復号する画像復号手段、該圧縮符号化された音声データを復号する音声復号手段、該パケット化され、さらに多重化されたパケット群を順次蓄積する第1のメモリ手段、該第1のメモリ手段からパケットを順次読み出し、特定の画像データと音声データの組を含むパケットおよび該パケット群の属性情報を含む制御パケットを抽出し、該画像データおよび該音声データをそれぞれ該画像復号手段および音声復号手段へ供給する処理を蓄積プログラムに従い実行するプロセッサ手段、該蓄積プログラムを保持する第2のメモリ手段、該制御パケットに含まれる属性情報を蓄積する第3のメモリ手段、装置外からの画像データと音声データの1組を抽出するための制御信号を該プロセッサ手段に伝達するインタフェース手段を有し、該第1、第2および第3のメモリ手段は同一のメモリ素子内部に設けられていることを特徴とする多重化圧縮画像音声データの分配復号装置。

【請求項2】特許請求の範囲第1項に記載の装置であって、該入力されるパケット群から各パケットの先頭タイミングを検出する手段を設け、パケット群を第1のメモリ手段に蓄積する際のアドレス更新を該パケット先頭の入力タイミングに同期させて行うことを特徴とする多重化圧縮画像音声データの分配復号装置。

【請求項3】特許請求の範囲第1項または第2項に記載の装置であって、圧縮符号化の時間基準である第1クロック信号と略同一の周波数を有する第2のクロック信号を発生する手段、該第2のクロック信号をカウントするカウンタ、該入力されるパケット群から各パケットの先頭のタイミングに同期して該カウンタのカウント値をサンプルする手段、該サンプル手段によりサンプルされたカウント値を当該パケットが第1のメモリ手段に蓄積されるアドレスに対応して蓄積する手段を設け、当該パケットが該第1のクロック信号のタイムスタンプを有する場合に該タイムスタンプと該蓄積されたカウント値の差分の変化分を用いて該第2のクロック信号を発生する手段の周波数を制御するようにしたことを特徴とする多重化圧縮画像音声データの分配復号装置。

【請求項4】圧縮符号化によって情報量を削減された画像データと該画像データに付随する音声データの組がパケット化され、複数組が多重化されたパケット群を入力し、一組の画像信号および音声信号を出力する装置であって、該圧縮符号化された画像データを復号する画像復号手段、該圧縮符号化された音声データを復号する音声復号手段、該パケット化され、さらに多重化されたパケット群から特定の画像データと音声データの組を含むパ

ケットおよび該パケット群の属性情報を含む制御パケットを抽出する抽出手段、該抽出されたパケットを順次蓄積する第1のメモリ手段、該第1のメモリ手段からパケットを順次読み出し、該画像データおよび該音声データをそれぞれ該画像復号手段および音声復号手段へ供給する処理および該抽出手段に特定の画像データと音声データの組の属性情報を供給する処理を蓄積プログラムに従い実行するプロセッサ手段、該蓄積プログラムを保持する第2のメモリ手段、該制御パケットに含まれる属性情報を蓄積する第3のメモリ手段、装置外からの画像データと音声データの1組を抽出するための制御信号を該プロセッサ手段に伝達するインタフェース手段を有し、該第1、第2および第3のメモリ手段は同一のメモリ素子内部に設けられていることを特徴とする多重化圧縮画像音声データの分配復号装置。

【請求項5】特許請求の範囲第1項、第2項、第3項または第4項に記載の装置であって、該画像復号手段および/または該音声復号手段固有の処理遅延によって生ずるところの、画像信号が出力される時刻と該画像信号に付随する音声信号が出力される時刻とのずれを相殺するための第4のメモリ手段を、該第1、第2および第3のメモリ手段と同一のメモリ素子内部に設けたことを特徴とする多重化圧縮画像音声データの分配復号装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は圧縮符号化された後、多重化された画像および音声データの復号に係わり、これらの画像および音声データをそれぞれの復号装置へ分配する装置に関する。

【0002】

【従来の技術】近年、放送および通信の分野において、動画像信号の冗長度を取り除いてデータ圧縮し、デジタル伝送を行うことが可能になっている。画像データ圧縮方式としてはMPEG規格等の離散コサイン変換(DCT)と動き補償予測符号化を行うものが一般的である。同方式で示されるような高圧縮率により1つの伝送チャンネルに複数の放送プログラムを多重して伝送することが可能である。ここでのプログラムとは画像とこれに関連した音声および/または文字情報の組を意味する。MPEG規格における複数プログラムの多重化は、ITU-T Rec. H. 222. 0 | ISO/IEC 13818-1:1994 Information technology - Coding of moving pictures and associated audio - Part 1: Systemsにトランスポートストリーム(以下TSと略記)パケットなる188バイトの固定長パケット単位で行われることが記述されている。同規格に基づいて、放送局等から供給されるTSパケットを画像と音声データに分離した後、それぞれビデオデコーダとオーディオデコーダに分

3

配し、画像および音声出力を得る装置、いわゆるセットトップボックスと呼ばれる装置、を表すブロック構成を図2に示す。以下、図2を用い従来の技術について説明する。

【0003】チューナ1はCATVあるいは衛星チャネル等の伝送媒体から配信されるデータから1つの伝送チャネルを選択し、復調装置2に供給する。復調装置2はQAMあるいはQPSK等により伝送路符号化されたチャネルデータを復号し、さらに冗長符号による誤り訂正処理を施した後、分配装置3へデータを供給する。ここで供給されるデータが前記TSパケット形式のビットストリームデータである。TSパケットの形式を図3に示す。TSパケットの内容は伝送される情報の種類により図3(a)または(b)に分類される。図3(a)はプログラムの構成要素(エレメント)であるところの画像データ、音声データまたはテレテキスト等の文字情報データを伝送する場合である。188バイトのTSパケットはトランスポートストリームヘッダ(TSヘッダと略記)と前記エレメントを含むペイロードから構成される。TSヘッダはTSパケットの属性を表すパケットID(PIDと略記)を常に含むほか、エレメント符号化時に時間基調として用いられたシステムクロックを復号側で復元するための時間情報であるところのプログラムクロックリファレンス(PCRと略記)を含むことがある。ペイロードはパケタイズドエレメンタリストリーム(PES)パケットの一部となっている。PESパケットは各エレメントと記録媒体の形式等により決定されるエレメントの単位であり、可変長のパケットである。PESパケットは各エレメントのデータとPESヘッダから構成される。PESヘッダはエレメントの内容を記述するストリームID、PESパケット長およびエレメントが表示されるべき時刻を記述したタイムスタンプ情報(PTS)等を含む。PTSが示すエレメントの単位はアクセスユニットと呼ばれ、例えば画像であれば画像1ピクチャ、音声であれば音声1フレームを意味する。一方、図3(b)はシステム制御のための付加情報であるプログラムスペシフィックインフォメーション(PSIと略記)を伝送する場合のデータ形式である。TSパケットのペイロードはセクションなる単位で記述されたPSIの一部となっており、セクションはセクションヘッダ、PSIおよび誤り検出手段である巡回冗長符号(CRC)から構成される。セクションヘッダは後に続くPSIの属性やセクション長を表す。PSIは階層構造を成し、TSとして伝送されているビットストリームデータ中に含まれるプログラム情報(具体的には後述のPMTのPID)を記述するプログラムアソシエーションテーブル(PAT)および各プログラム内でのエレメントとPIDとの対応を表すプログラムマップテーブル(PMT)などシステム制御に必須の情報が含まれる。図2の分配装置3は多重化されたTSパケットを受け、

4

PSIデータをデータベースを介してRAM7内部に割り当てられたシステムデコードバッファへ、ユーザが選択するプログラムの構成エレメントである画像データおよび音声データをそれぞれビデオデコード8およびオーディオデコード10へ分配する。さらに分配装置3は前記PCRを含むTSパケットのヘッダから時間情報を抽出し、クロック発生装置4へ制御信号を供給することによりシステムクロックの復元を行う。RAM7内部のシステムデコードバッファに送られたPSIデータはCPU12がその内容をデコードし、システム制御を行うソフトウェアプログラムが利用できる形式のデータとしてRAM7内部に保管される。CPU12はユーザインタフェース装置13を介して入力されるユーザからの命令に従い、上記データを用いて当該プログラムのTSパケットを抽出するためのPIDを分配装置3に供給するほか、チューナ1に選局を行うための制御信号を供給する。ビデオデコード8およびオーディオデコード10はそれぞれデコードと表示のためのビデオデコードバッファ9およびオーディオデコードバッファ11を用いて画像と音声の出力を行う。ここで、伝送路におけるデータ伝送速度はプログラムの多重化により、各エレメントが符号化された際のビットレートとは異なったものになっている。ゆえに、前記伝送速度のまま直接ビデオデコード8およびオーディオデコード10に供給すれば局所的にビデオデコードバッファ9およびオーディオデコードバッファ11がオーバーフローまたはアンダーフローを起こす可能性があり、結果として画像および音声出力の乱れを招く。したがって、図2に示すようにパケット受信バッファ5および6を分配装置と各デコード間の経路に設け、デコードのバッファ容量に基づいて速度変換を行った後、ビデオデコード8およびオーディオデコード10にエレメントデータを供給する必要がある。MPEG規格では各エレメント毎に512バイトの容量を有するパケット受信バッファを設けられていることを想定して多重化が行われる。

【0004】

【発明が解決しようとする課題】ところが、本構成ではパケット受信バッファ5および6を専用のメモリ素子として独立に設けているため、システムを構成する部品点数が増え、価格の増大を招く。また、パケット受信バッファを分配装置3の回路内部に包含する構成にした場合においても、メモリ内蔵により回路規模が増大し、部品価格の上昇は必至である。

【0005】

【課題を解決するための手段】本発明では上記パケット受信バッファをCPUがシステム制御のために用いるRAM内部に設けることにより部品点数を削減またはメモリ内蔵による部品価格上昇を抑える。

【0006】

【作用】CPUがメインメモリとして用いるRAMはオ

5

ペレーティングシステムソフトウェアを蓄積することなどから、数メガビットの容量を有することが要求されるため、メモリ素子数を追加することなくパケット受信バッファとして必要な512バイトをエレメント数だけ確保することは容易である。したがって部品点数が増えることはない。

【0007】

【実施例】以下、図面を引用しながら本発明の実施例に関する説明を行う。

【0008】第1図は第1の実施例の構成を表すブロック図である。チューナ1はCATVあるいは衛星チャネル等の伝送媒体から配信されるデータから1つの伝送チャネルを選択し、復調装置2に供給する。復調装置2はQAMあるいはQPSK等により伝送路符号化されたチャネルデータを復号し、さらに冗長符号による誤り訂正処理を施した後、インタフェース装置14へデータを供給する。ここで供給されるデータがTSパケット形式のビットストリームデータである。インタフェース装置14はCPU12からの制御信号を受けて全てのTSパケットデータをメインメモリであるRAM7に設けられたパケット受信バッファへ転送する。パケット受信バッファの内部状態を図4に示す。パケット受信バッファはFirst-In-First-Out (FIFO) を構成し、1行あたり1個のパケットが到来順に書き込まれ、同順序で読み出される。図中のVideo#1はプログラム番号#1のビデオを含むパケットを表す。バッファには行アドレスが割り当てられており、書き込み毎に1行更新され、Nで折り返す。行数Nは188バイト * N > 512バイト * (プログラムあたりの最大エレメント数 + 1) * (TSあたりの最大プログラム数) を満足するような値に設定されている。パケット受信バッファには各行にパケットの到着時刻を示す情報バイトを付加し、システムクロックの復元を可能にする。パケット受信バッファへの書き込み方法を図5により説明する。図5は図1におけるインタフェース装置14、CPU12、クロック発生装置4およびRAM7の詳細を表すブロック図である。インタフェース装置14は内部にTSヘッダ判別回路140および送信バッファ回路141を含む。TSヘッダ判別回路140はTSパケットデータおよびTSパケットの伝送クロックtsClockを用いてTSパケットヘッダをビットパターンにより検索し、TSパケットの先頭バイトが到着したタイミングを割り込み信号としてCPU12に供給する。CPU12は前記割り込み信号をトリガパルスとしてタイマ123の内容をレジスタ124に転送する。タイマ123はシステムクロックの周波数でカウントアップされるカウンタであり、レジスタ124にはタイマ123によって計測された到着時刻が転送される。前記割り込み信号は書き込みアドレスカウンタ122の値を1行カウントアップする。これによりパケット先頭に同期した行アドレスの

6

更新が行われ、パケット長が188バイトでないようなエラーが生じた場合にも、破綻せずそのエラー発生直後のパケットから正常な書き込みが保証される。送信バッファ回路141はTSパケットをデータバス上に出力するためのバッファであり、データのビット幅の変換と伝送路クロックtsClockからデータバスのクロックbusClockへの時間軸変換を行い、RAM7へダイレクトメモリアクセス (DMA) による高速転送を行う。RAM7への書き込みタイミングはDMAコントローラ121とのハンドシェイクにより制御する。すなわち、送信バッファ回路141でのデータ転送準備が完了した時点で転送リクエスト信号DREQを出力し、DMAコントローラ121から転送許可信号DACKが返されると、データがCPU12のレジスタを経由することなくRAM7に書き込まれる。書き込みの際の行アドレスは前記メカニズムによりカウントアップされたものが用いられる。1パケットのデータ転送が行われるとCPU12は前記レジスタ124内の到着時刻を示す情報バイトデータをバッファ内の当該パケットデータに付加する。

【0009】上記のようにしてパケット受信バッファに書き込まれたTSパケットデータからCPU12はユーザが選択するプログラムに属するエレメントのみを抽出し、それぞれのデコーダへ分配する。TSパケット読み出しのタイミングは図6に示すように、読み出しアドレスが書き込みアドレスを追いかける形となる。伝送路から到来するTSパケットをオーバーフローさせないように書き込みアドレスの更新はパケット到着毎に読み出し側とは無関係に行われる。したがって、CPU12が両アドレスを比較し、読み出しアドレスが書き込みアドレスを追い越すことがないように監視する。このようにしてCPU12はパケットデータを読み出し、図7に示すアルゴリズムによりパケット分配処理を行う。図7は画像データと音声データのみをエレメントとして含むプログラム番号#kをユーザが選択している場合の分配処理アルゴリズムを示している。CPU12はパケットヘッダ内のPIDを取り込む (S1)。プログラムマップテーブル (PMT) を参照し、プログラム#kに該当するか、またはPSIを含むかをチェック (S2)。該当していないエレメントのパケットならば処理をスキップして次の行アドレスへ進む (S9)。プログラム#k関連ならばクロックリファレンス情報PCRを含むか、すなわちPCR_PIDか否かをチェック (S3)。PCRを含むならば後述のクロック復元ルーチン (S4) へ、含まないならばエレメント分別処理へ進む (S5)。CPU12はPMTを参照し、PIDが画像/音声/PSIを示すのに従って、それぞれビデオパケット転送処理ルーチン (S6) /オーディオパケット転送処理ルーチン (S7) /PSIパケット処理ルーチン (S8) へ進む。ビデオパケット転送処理ルーチン (S6) ではTS

パケットのペイロードを抽出し、転送を行う。転送速度に関してはCPU12またはDMAコントローラ121が転送毎にデコーダとの間でハンドシェイクを行うことにより調節され、この結果として平均的な転送速度がデコード速度に一致する。または各エレメントに付加情報として示されるビットレートを、CPU12が内蔵タイマによって一定レートで入力してもよい。

【0010】転送するデータ形式はビデオデコーダ8に依存する。すなわちデコーダがPESパケットを入力として受け付けるならば、PESパケットヘッダを含むPESパケット全部を転送し、あるいはデコーダがエレメントデータを入力として受け付けるならば、PESヘッダを除くPESパケットのペイロードを転送する。この場合PESヘッダの解釈はCPU12が行う。したがって、デコードのタイミングを示すPTS情報を管理し、PTSが示すピクチャがデコードされるべきタイミングをビデオデコーダ8に与える。オーディオパケット転送処理ルーチン(S7)に関してもオーディオデコーダ10が入力として受け付けるデータ形式にしたがってビデオの場合と同様にCPU12の転送処理は異なるものになる。図8はビデオデコーダ8とオーディオデコーダ10がともに入力としてエレメントデータを受け付ける場合におけるデータ出力のタイミングを表す図である。説明を簡略化するため、あるピクチャデータとオーディオフレームデータが同一のPTSによって指示される、すなわち同時刻 $t = PTS(v) = PTS(a)$ に出力されるべき場合を仮定する。MPEG方式ではビデオデコードバッファ9はビデオバッファリングベリファ

(vbv)として規定されるバッファを含み、デコードはこのvbvバッファからデータを読み出すことで行われる。読み出されるデータ量はピクチャの種類(I, P, B)、すなわち圧縮度により異なるが、規定どおりPTS時刻にピクチャの表示がなされるようCPU12がデコードタイミングを与えれば、vbvバッファがオーバーフロー/アンダーフロー(枯渇)することは無い。図8ではビデオデコーダ8に入力されたピクチャがvbvバッファでTv bvの遅延を経て時刻 $t = PTS(v)$ にデコードを開始し、オーディオデコーダ10においてオーディオフレームが同時刻 $t = PTS(a)$ にデコードを開始する。ところが、ビデオデコーダ8はデコードと同時に表示を行うことは不可能であり、必ず表示用バッファを介して出力されるため、デコードから実際の表示までの間にデコーダ固有の遅延時間Tdispが生じる。さらにデコーダ出力後のデジタル/アナログ変換、表示装置に対応した方式変換ならびに画像合成装置などで生じるシステム固有の遅延T extを加えて、映像系全体では一般的にTv idの遅延が発生する。音声系でも同様にしてT audの遅延が発生する。ゆえに、CPU12は画像と音声の同期出力を得るためには両者の差分Tadjを考慮しなければならない。本

発明ではRAM7内部に前記Tadjを補償するための遅延バッファを設けることにより同期出力を実現する。すなわちデコーダ固有の遅延ならびにシステム固有の遅延はシステムを構成した時点で既知となるからTadjを計算により求め、ビデオまたはオーディオデコーダにデータを供給するタイミングをTadjだけ遅らせてやればよい。具体的にはパケット受信バッファから一旦遅延バッファへデータを転送してからデコーダへ転送してもよいし、パケット受信バッファの容量をTadj相当分だけ増量し、バッファからの読み出しを2度行ってもよい。いずれの場合もソフトウェアによるメインメモリ内のデータ操作で同期のための遅延処理が可能となるので、メモリ素子を追加する必要は無い。

【0011】PSIパケット処理ルーチン(S8)ではセクションデータの解釈を行い、更新されるべきPSIデータがあれば、適宜テーブル内データを書き換える。以上、PIDにしたがって1つのTSパケットの処理を終えるとパケット受信バッファの読み出し行アドレスを1行進めて次のTSパケットの処理へ進む(S9)。

【0012】クロック復元処理(S4)の説明を図9および図10により行う。読み出したパケットにPCRが含まれている場合にクロック復元処理(S4)が行われる。CPU12はPCR値を読み出し、同パケットに付加された到着時刻データとの差分を計算する。これを現在の差分値DIFcurとする(S11)。前回の差分値DIFpreと前記DIFcurとの差を取り、これをERRとする(S12)。図10はCPU12内部のタイマ123の進行(実線)と送信側のPCRの進行(破線)を示したものである。両者をカウントアップするクロックの周波数が等しければ傾きは等しくなり、差分値DIFpreとDIFcurもパケット到着時刻に係わらず不変である。したがってERRは両者の周波数のずれを計測する指標となる。ERRのしきい値との比較(S13)は初期値設定を含むリセット動作を表し、周波数の補正は行わない。正負の比較(S14)によって周波数のずれを検知し、正の場合は差分値の増加をキャンセルすべくクロック周波数の加速(S15)を行い、負の場合は逆にクロック周波数の減速(S16)を行う。ERRがゼロの場合は何もせずDIFpreを更新(S17)しメインの処理に戻る(S18)。CPU12は加減速の制御信号をクロック発生装置4に供給し、発生したクロックでタイマ123をカウントアップすることによりフィードバックループが形成される。

【0013】以上、本発明によりパケット受信バッファを、CPUがシステム制御のために用いるRAM内部に設けることにより、部品点数の増大あるいは部品価格上昇を招くことなくデコーダへのデータ分配を実現する。

【0014】さらに、副次的効果として、デコーダ固有の遅延あるいはシステム固有の遅延による映像と音声の同期ずれを補正する遅延バッファを上記RAM内部に設

けることにより、ソフトウェアによる同期出力制御が可能となる。パケット受信バッファの書き込みアドレスをパケットヘッダのタイミングを用いて更新することにより、データ誤りに関して破綻することがない書き込みメカニズムを得る。パケット到着タイミングを当該パケット受信バッファに追記することによりソフトウェアによるリファレンスクロック復元が可能になる。

【0015】次に本発明の第2の実施例に関する説明を行う。図11は第2の実施例を表すブロック図である。なお第1の実施例と共通のブロックには同一の符号を記し、説明を省略する。本実施例では復調装置2の出力はプログラムパケット分別装置15に供給される。プログラムパケット抽出装置15は伝送されたTSパケットからユーザが選択する1プログラム（プログラム番号#k）の要素を含むTSパケットおよびPSIパケットを抽出し、インタフェース装置14へ送る。図12にプログラムパケット抽出装置15における抽出処理を示す。図12(a)は入力されるTSパケットを表し、(b)は処理後の出力を表す。インタフェース装置14がRAM7へ転送するTSパケットはプログラム#kに関連するパケットとPSIパケットのみでありパケット受信バッファの内容は図13に示すようになる。パケット受信バッファがN行で折り返すFIFO形式となるのは前実施例と同じであるが、Nは188バイト×N>512バイト×(プログラムあたりの要素数+1)を満足すればよく、TSパケット全部を受け取る必要があった前実施例に比較すれば、少ない容量で済む。さらに、本実施例ではクロック発生装置4をプログラムパケット抽出装置15に接続し、復元処理をハードウェアで行うため、パケット受信バッファにパケット到着時刻を示す情報バイトは追加されない。処理方法の詳細を図14に示す。プログラムパケット抽出装置15はTSパケットのヘッダを検索するTSヘッダ判別回路151、PIDフィルタ回路152、PCRカウンタ153および比較回路154を含む。TSヘッダ判別回路151から出力されるTSパケットの到着タイミング信号はCPU12内部の書き込みアドレスカウンタ122を1行カウントアップするほか、PCRカウンタ153のカウンタ値をサンプルするトリガパルスとなる。サンプルされたカウンタ値は比較回路154へ送られる。PIDフィルタ回路152はCPU12からのPIDデータを用いてプログラム#kに関連するパケットとPSIパケットをインタフェース装置14内の送信バッファ回路141に供給し、さらにPCR_PIDを有するパケットからPCR値を抜き出して比較回路154の入力の他方へ送る。比較回路154は前記サンプルされたカウンタ値とPCR値を比較し、カウンタ値<PCR値ならば加速、カウンタ値>PCR値ならば減速するような周波数制御信号をクロック発生装置4に供給する。クロック発生回路4の出力クロックによってPCRカウンタ153をカウン

トアップすることによりフィードバックループを構成する。送信バッファ回路141からRAM7への転送はDMAコントローラ121とのハンドシェイクにより制御する。すなわち、送信バッファ回路141でのデータ転送準備が完了した時点で転送リクエスト信号DREQを出力し、DMAコントローラ121から転送許可信号DACKが返されると、データがCPU12のレジスタを経由することなくRAM7に書き込まれる。書き込みの際の行アドレスは前記メカニズムによりカウントアップされたものが用いられる。CPU12はRAM12に設けたプログラムマップテーブルからユーザの選択するプログラム#kに該当するPIDデータをレジスタ123に読み出し、出力ポートからPIDフィルタ回路152に供給する。このPIDデータの供給はデータバス経由で行うことも可能である。本実施例ではプログラムパケット分別回路15においてプログラム#kのパケットを分別し、クロックの復元処理も行うので、RAM7からデコーダへのデータ分配のアルゴリズムは図15に示しており、プログラム内の要素およびPSIパケットの分配処理だけである。パケットのPIDを取り込んだ後のステップS5からS9に至る処理内容は図7に示される処理と同一なので説明を省略する。以上、第2の実施例においてもパケット受信バッファをCPUがシステム制御のために用いるRAM内部に設けることにより部品点数の増大あるいは部品価格上昇を招くことなくデコーダへのデータ分配を実現する。

【0016】さらに、副次的効果として、デコーダ固有の遅延あるいはシステム固有の遅延による映像と音声の同期ずれを補正する遅延バッファを上記RAM内部に設けることにより、ソフトウェアによる同期出力制御が可能となる。パケット受信バッファの書き込みアドレスをパケットヘッダのタイミングを用いて更新することにより、データ誤りに関して破綻することがない書き込みメカニズムを得る。

【0017】

【発明の効果】パケット受信バッファを、CPUがシステム制御のために用いるRAM内部に設けることにより部品点数の増大あるいは部品価格上昇を招くことなくデコーダへのデータ分配を実現する。

【図面の簡単な説明】

【図1】本発明における第1の実施例を表すブロック図。

【図2】従来例を表すブロック図。

【図3】トランスポートストリームパケットの構成の説明図。

【図4】パケット受信バッファの配列を示す説明図。

【図5】インタフェース装置、CPU、RAM間の信号受給を示す説明図。

【図6】パケット受信バッファの書き込み/読み出しタイミングを示す概念図。

【図7】パケット分配処理のアルゴリズムを示す流れ図。

【図8】画像と音声の同期出力の説明図。

【図9】クロック復元処理のアルゴリズムを示す流れ図。

【図10】差分値の比較による周波数追従を表す説明図。

【図11】本発明における第2の実施例を表すブロック図。

【図12】プログラム該当パケット分別を表す説明図。 10

【図13】パケット受信バッファの配列を示す説明図。

【図14】インタフェース装置、CPU、RAM間の信号受給を示す説明図。

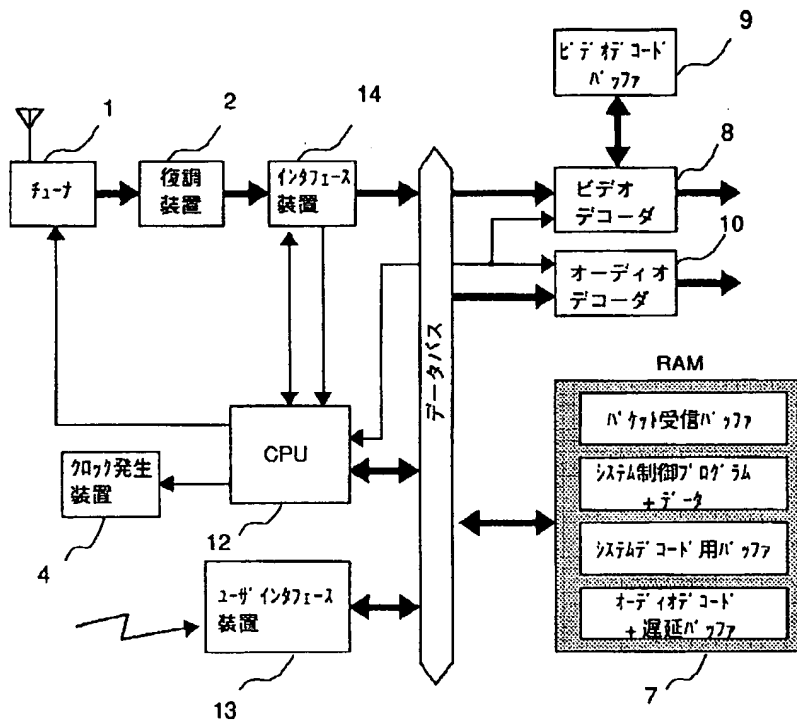
【図15】エレメント分配処理のアルゴリズムを示す流れ図。

【符号の説明】

1…チューナ、2…復調装置、7…RAM、8…ビデオデコーダ、9…ビデオデコードバッファ、10…オーディオデコーダ、12…CPU

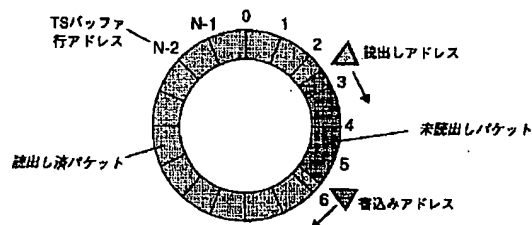
【図1】

図1



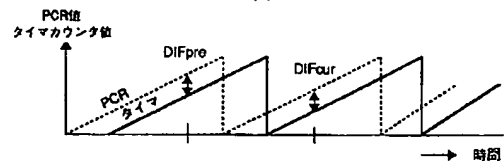
【図6】

図6

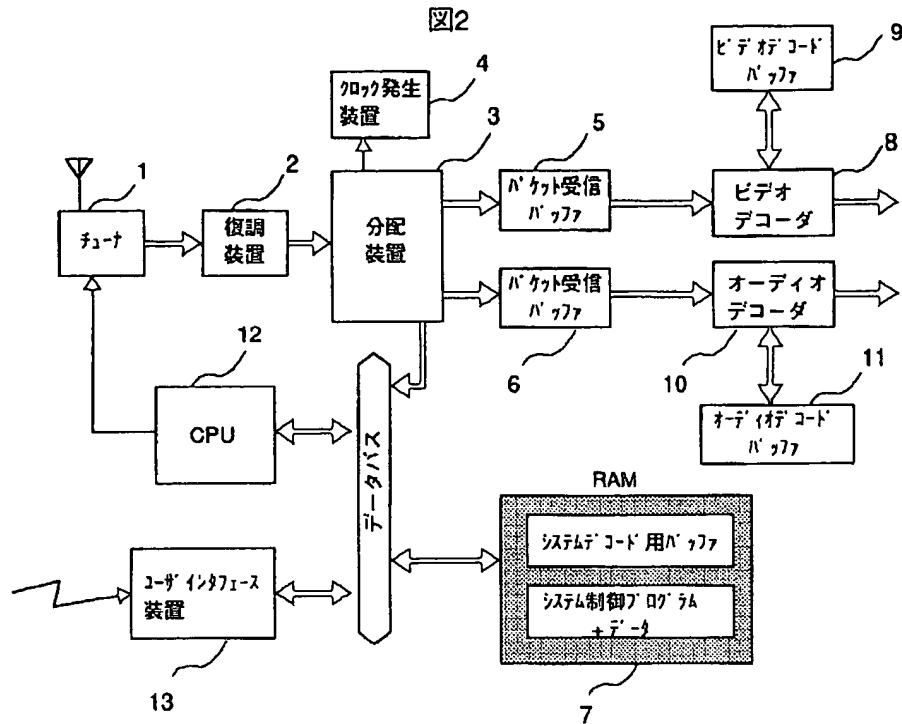


【図10】

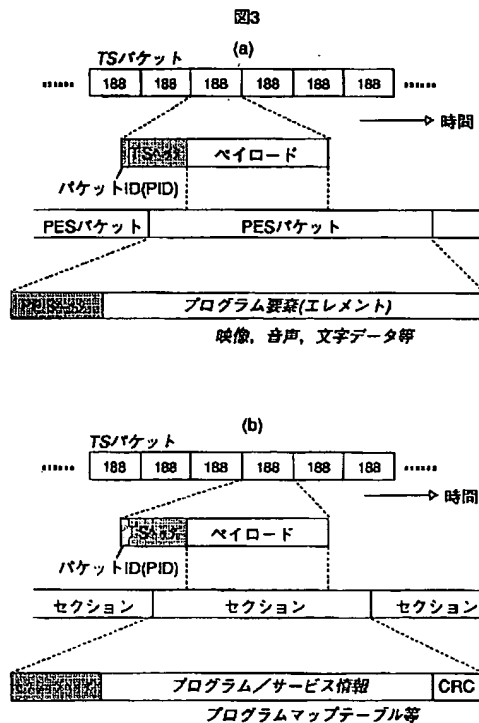
図10



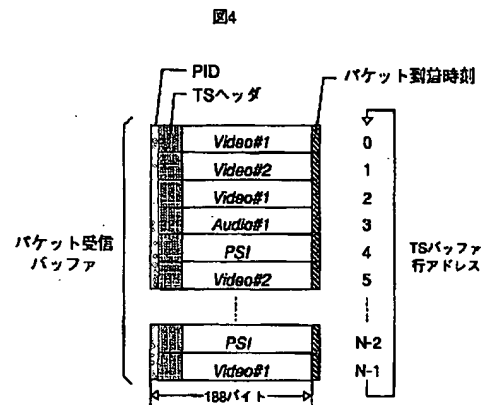
【図2】



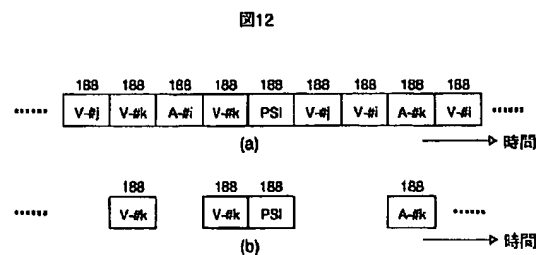
【図3】



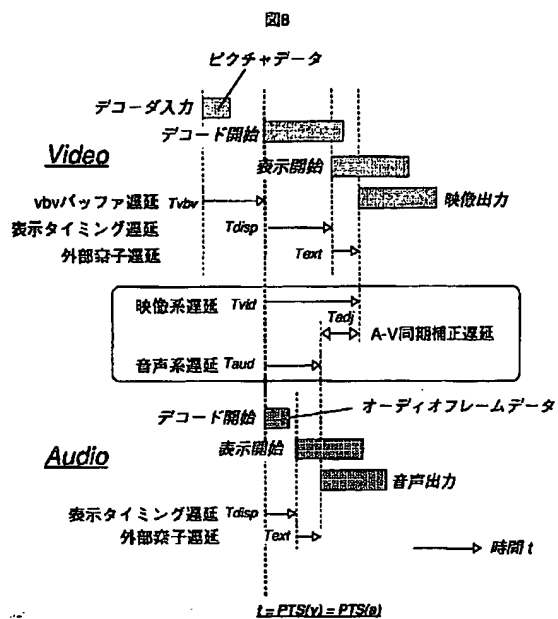
【図4】



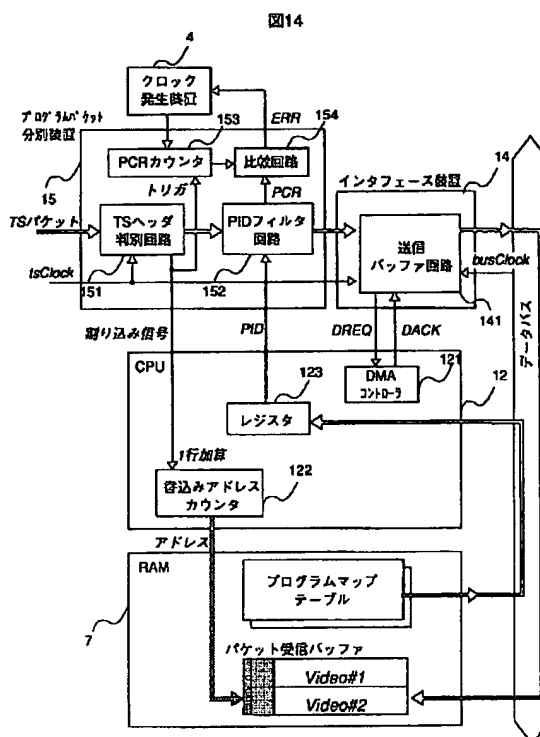
【図12】



【图8】

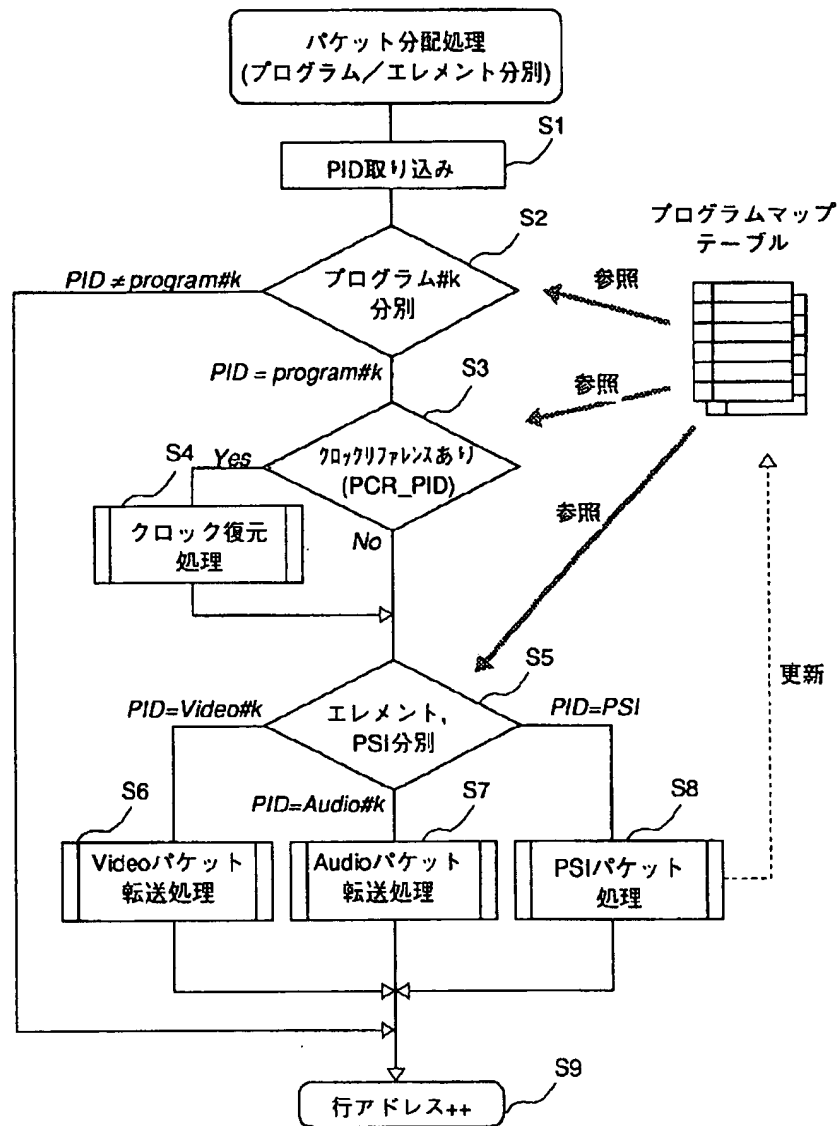


【例 14】

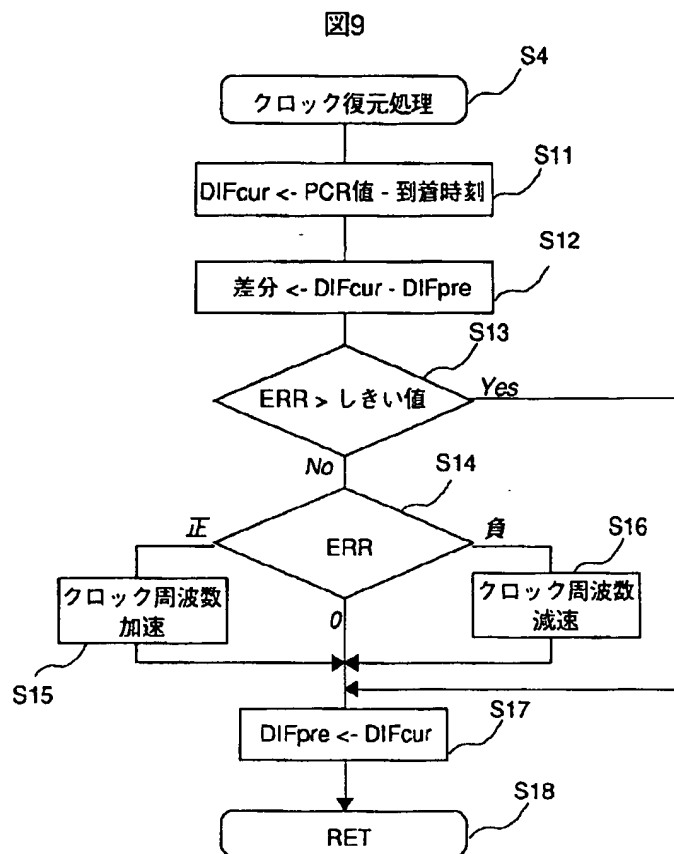


【図7】

図7

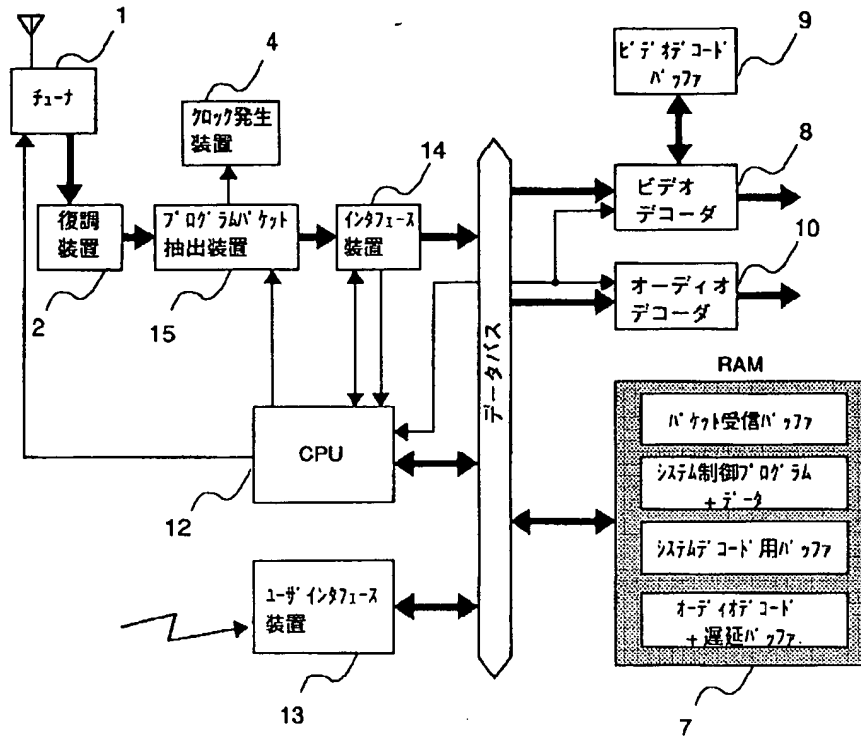


【図9】



【図11】

図11



【図15】

図15

